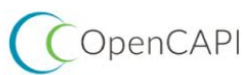
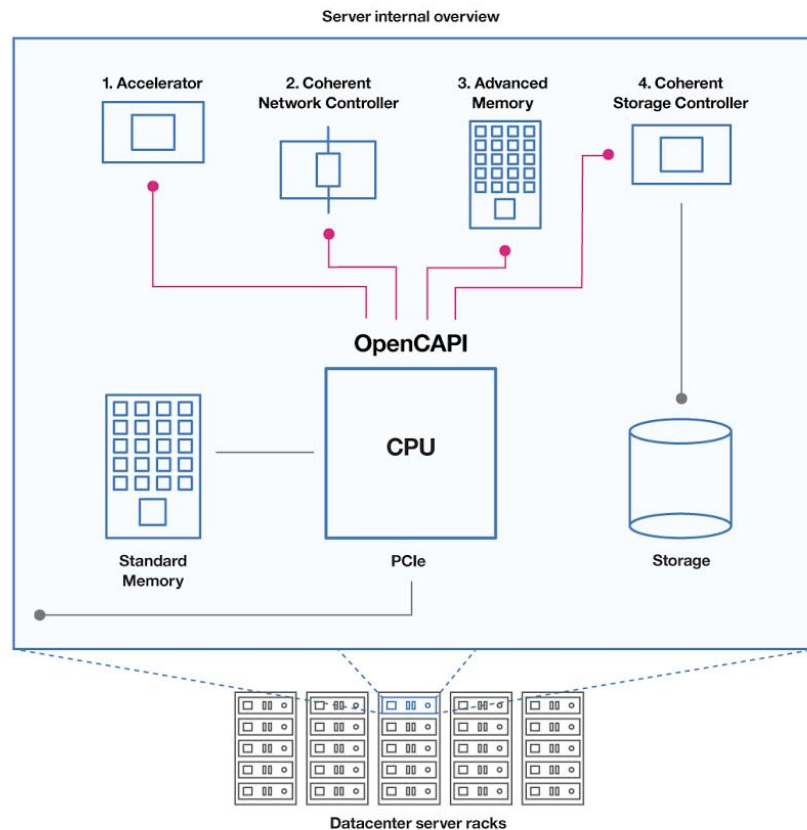


Heterogeneous Computing: Beschleuniger und FPGAs im Umfeld von POWER und CAPI



- 1. Accelerators:** The performance, virtual addressing and coherence capabilities allow FPGA and ASIC accelerators to behave as if they were integrated into a custom microprocessor.
- 2. Coherent Network Controller:** OpenCAPI provides the bandwidth that will be needed to support rapidly increasing network speeds. Network controllers based on virtual addressing can eliminate software overhead without the programming complexity usually associated with user-level networking protocols.
- 3. Advanced Memory:** OpenCAPI allows system designers to take full advantage of emerging memory technologies to change the economics of the datacenter.
- 4. Coherent Storage Controller:** OpenCAPI allows storage controllers to bypass kernel software overhead, enabling extreme IOPS performance without wasting valuable CPU cycles.



Hintergrund

Heterogene Rechnerarchitekturen haben in den letzten Jahren erhebliche an Bedeutung gewonnen. In der aktuellen Hardwaregeneration findet häufig noch eine deutliche Aufteilung zwischen klassischen Hauptprozessoren und Hardwarebeschleunigern wie Grafikprozessoren oder *Field-Programmable Gate Arrays* (FPGAs) statt. Diese Aufteilung schlägt sich auf diversen Ebenen nieder, so muss auf Hardwareebene der Beschleuniger per PCI-Express angebunden werden, während die Softwareebene mit separaten Adressräumen, fehlender Speicherkohärenz sowie dedizierten Programmiermodellen wie *OpenCL* umgehen können muss. Mit Blick auf zukünftige Hardware zeichnet sich aber ein deutlicher Trend zu einem steigenden Integrationsgrad zwischen Hauptprozessoren und Beschleunigern ab.

IBM hat mit dem *Coherent Accelerator Processor Interface* (CAPI) eine vielversprechende Technologie vorgestellt, welche Beschleuniger cachekohärent in den Adressraum der Hauptprozessoren einbinden kann. Durch die Erweiterung der Share Memory Metapher auf Beschleuniger kann nunmehr auch die strikte Auftrennung aus Softwareentwicklersicht aufgehoben werden, und die Hürden für den Einstieg in die beschleunigte, parallele Programmierung beginnen zu sinken. Um die Verwendung von CAPI weiterhin zu erleichtern, hat IBM im Kontext der OpenPOWER-Initiative jüngst das *CAPI SNAP* Framework [1] vorgestellt.

Im Zuge unserer Kooperation mit dem IBM-Labor Böblingen untersuchen wir unter anderem, welche Möglichkeiten sich durch die neue Entwicklungsstufe von Heterogenrechnern ergeben, und welche Auswirkungen die geänderten Hardwareeigenschaften auf deren Programmierung haben. Für die Durchführung unserer Forschungsarbeiten und der damit verbundenen Experimente wurde uns von IBM zwei Systeme auf Basis der Power8 Architektur zur Verfügung gestellt. Das *System E880* zielt dabei mit seinen 96 CPU-Kernen (768 Threads) und 8 TB Arbeitsspeicher auf den Scale-Up Anwendungsfall, während das *System S824L* mit 20 CPU-Kernen (160 Threads), 1 TB Arbeitsspeicher sowie einer NVIDIA Tesla K80 GPU und CAPI-fähigen PCI-Express Ports auf *Scale-Out* Anwendungsfälle ausgelegt ist.

Beschreibung

In diesem Masterprojekt wollen wir die Fähigkeiten CAPI-fähiger FPGA Beschleuniger untersuchen. Neben einer simulierten Umgebung bestehend aus dem *Xilinx Vivado HL WebPACK* [2] und der *Power Service Layer Simulation Engine* [3][4] steht im Rahmen des Projekts auch das jüngst vorgestellte FlashGT/250S CAPI-Entwicklerboard der Firma Nallatech zur Verfügung. Die Hardware baut auf dem *Xilinx Kintex KU060-2* auf und verfügt neben 4GB DDR4 Speicher auch über 2x 960GB Flash Storage.

Eine große Herausforderung beim Einsatz von Beschleunigern stellt die Platzierung von Daten und Tasks dar, um möglichst gute Performance zu erzielen. Ein besonderer Gesichtspunkt des Projektes soll neben der Performancesteigerung aber auch die Auswirkungen von CAPI und CAPI SNAP auf die Softwareentwicklungsebene sein. Zu unseren zentralen Fragestellungen zählt auch, ob sich mittels CAPI und CAPI SNAP-fähiger Hardware nun auch feingranulare Algorithmen beschleunigen lassen, für die sich mit den bisher verfügbaren Beschleunigertechnologien die Auslagerung nicht gelohnt hat.

Das Projekt bietet einen Einblick in aktuelle Trends und interessante Forschungsfragen zu zukünftigen Rechnerarchitekturen. Darüber hinaus bietet das Masterprojekt die Möglichkeit, Kontakte zu unserem Kooperationspartner, dem IBM-Labor Böblingen, aufzubauen und die Grundlage für weiterführende Masterarbeitsthemen zu schaffen.

Kontakt

Bei weiteren Fragen stehen wir gerne zur Verfügung. Projektverantwortlich sind Max Plauth, Felix Eberhardt sowie Andreas Polze.

[1] <https://openpowerfoundation.org/blogs/capi-snap-simple-developers/>

[2] <https://www.xilinx.com/support/download.html>

[3] <https://github.com/ibm-capi/pslse>

[4] <http://suchprogramming.com/hello-afu-part-1/>

